



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 46499 호
Application Number PATENT-2002-0046499

출원년월일 : 2002년 08월 07일
Date of Application AUG 07, 2002

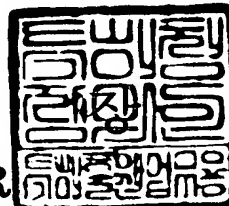
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 08 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.07
【발명의 명칭】	스플릿 게이트형 플래쉬 메모리소자의 제조방법
【발명의 영문명칭】	Method of manufacturing in Split gate flash memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	권철순
【성명의 영문표기】	KWON, Chul Soon
【주민등록번호】	620109-1345426
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 101동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	유재민
【성명의 영문표기】	YU, Jae Min
【주민등록번호】	641025-1405911
【우편번호】	139-907
【주소】	서울특별시 노원구 상계10동 마들대림아파트 1동 1304호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진우
【성명의 영문표기】	KIM, Jin Woo
【주민등록번호】	650131-1637110
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 1047-1 건영아파트 424동 501호
【국적】	KR
【발명자】	
【성명의 국문표기】	박재현
【성명의 영문표기】	PARK, Jae Hyun
【주민등록번호】	660315-1010323
【우편번호】	130-781
【주소】	서울특별시 동대문구 청량리1동 미주아파트 7동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	김용희
【성명의 영문표기】	KIM, Yong Hee
【주민등록번호】	690823-1162722
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1048-2 청명마을주공아파트 411동 902 호
【국적】	KR
【발명자】	
【성명의 국문표기】	이돈우
【성명의 영문표기】	LEE, Don Woo
【주민등록번호】	691104-1167513
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 970-3 벽적골주공아파트 913. 동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	김대근
【성명의 영문표기】	KIM, Dai Geun
【주민등록번호】	751230-1471725
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 7-1 마로니에동 208호
【국적】	KR

【발명자】

【성명의 국문표기】 박상욱
【성명의 영문표기】 PARK, Sang Wook
【주민등록번호】 740911-1047021
【우편번호】 143-224
【주소】 서울특별시 광진구 중곡4동 74-43호
【국적】 KR

【발명자】

【성명의 국문표기】 김주찬
【성명의 영문표기】 KIM, Joo Chan
【주민등록번호】 710117-1058413
【우편번호】 442-741
【주소】 경기도 수원시 팔달구 영통동 황골마을쌍용아파트 250동 702호
【국적】 KR

【발명자】

【성명의 국문표기】 김국민
【성명의 영문표기】 KIM, Kook Min
【주민등록번호】 710205-1396559
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 산7-1번지 마로니에동 808호
【국적】 KR

【발명자】

【성명의 국문표기】 조민수
【성명의 영문표기】 CHO, Min Soo
【주민등록번호】 710720-1024128
【우편번호】 463-030
【주소】 경기도 성남시 분당구 분당동 장안타운 건영아파트 301동 1001호
【국적】 KR

【발명자】

【성명의 국문표기】 류의열
【성명의 영문표기】 RYU, Eui Youl
【주민등록번호】 731126-1482135

【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 7-1 상록수동 406호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 김능균 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 13 면 13,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원
【합계】 599,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 스플릿 게이트를 갖는 플래쉬 메모리소자 제조방법에 관한 것으로서, 플로팅 게이트와; 상기 플로팅 게이트를 감싸도록 형성된 제1 스페이서와; 제1 스페이서와 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 상기 제1 접합영역과 반대 도전형의 반도체 기판을 제공하는 제1 단계와; 상기 기판 전면에서 제1 절연막과 제1 도전막과 제2 절연막 그리고 제3 절연막을 순차적으로 형성하는 제2 단계와; 상기 제2 절연막이 노출되도록 상기 제3 절연막을 소정 두께만큼 식각하는 제3 단계와; 상기 노출된 제2 절연막을 제거하고, 남겨진 제3 절연막을 제거하는 제4 단계와; 상기 제1 도전성라인 및 제1 도전막의 일부분이 노출되도록 상기 제1 도전막 및 제2 절연막을 소정 두께만큼 식각하는 제5 단계와; 상기 노출된 제1 도전성 라인 및 제1 도전막의 일부분에서 제4 절연막을 형성하는 제6 단계와; 상기 남아있는 제2 절연막을 제거하고, 그 하부의 제1 도전막을 노출시키는 제7 단계와; 상기 제4 절연막을 마스크로 하여 상기 제2 절연막의 제거에 따라 노출된 상기 제1 절연막 및 제1 도전막을 식각하여 제2 게이트 절연막 및 워드라인을 형성하는 제8 단계를 제공한다.

【대표도】

도 2q

【명세서】**【발명의 명칭】**

스플릿 게이트형 플래쉬 메모리소자의 제조방법{Method of manufacturing in Split gate flash memory device}

【도면의 간단한 설명】

도 1은 통상적인 스플릿 게이트형 플래쉬 메모리소자의 레이아웃도,

도 2a 내지 도 2q는 도 1A-A'선에 따른 본 발명에 따른 스플릿 게이트형 플래쉬 메모리소자의 제조공정도,

도 3a 내지 도 3q는 도 1B-B'선에 따른 본 발명에 따른 스플릿 게이트형 플래쉬 메모리소자의 제조공정도

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 불휘발성 메모리소자의 제조방법에 관한 것으로, 특히 스플릿 게이트를 갖는 플래쉬 메모리소자 제조방법에 관한 것이다.

<5> 최근, 플로팅 게이트와 콘트롤 게이트가 스플릿되어 있는 형태로 제조된 스플릿 게이트형 플래쉬 메모리소자는 휴대용 데이터 저장용 소자로 사용량이 급격히 증가하고 있는 추세에 있다.

<6> 이와 같은 스플릿 게이트형 플래쉬 메모리소자를 제조하는 선행기술은 레베카 미 (Rebecca Mih)씨에 의한 '018um modular triple self-aligned embeded split- gate flash memory'(2000 Symposium on VLSI Technology Digest of Technical Papers. pp.120-121, 2000)라는 제하의 논문에서 개시되어 있다.

<7> 그러나, 상기에 개시된 스플릿 게이트형 플래쉬소자를 제조할 때 워드라인의 저항이 증가될 수 있고, 워드라인과 드레인 접합영역간에 쇼트될 수 있는 문제점이 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

<8> 본 발명은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 워드라인의 저항을 감소시킬 수 있는 스플릿 게이트형 플래쉬 메모리소자 제조방법을 제공하는 데 그 목적이 있다.

<9> 본 발명의 다른 목적은 워드라인과 드레인 접합영역간의 쇼트를 방지할 수 있는 스플릿 게이트형 플래쉬 메모리소자 제조방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<10> 상기 목적을 달성하기 위하여 본 발명에서는, 플로팅 게이트와; 상기 플로팅 게이트를 감싸도록 형성된 제1 스페이서와; 제1 스페이서와 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 상기 제1 접합영역과 반대 도전

형의 반도체 기판을 제공하는 제1 단계와; 상기 기판 전면에서 제1 절연막과 제1 도전막과 제2 절연막 그리고 제3 절연막을 순차적으로 형성하는 제2 단계와; 상기 제2 절연막이 노출되도록 상기 제3 절연막을 소정 두께만큼 평탄화하는 제3 단계와; 상기 노출된 제2 절연막을 제거하고, 남겨진 제3 절연막을 제거하는 제4 단계와; 상기 제1 도전성 라인 및 제1 도전막의 일부분이 노출되도록 상기 제1 도전막 및 제2 절연막을 소정 두께만큼 평탄화하는 제5 단계와; 상기 노출된 제1 도전성 라인 및 제1 도전막의 일부분에 제4 절연막을 형성하는 제6 단계와; 상기 남아있는 제2 절연막을 제거하고, 그 하부의 제1 도전막을 노출시키는 제7 단계와; 상기 제4 절연막을 마스크로 하여 상기 제2 절연막의 제거에 따라 노출된 상기 제1 절연막 및 제1 도전막을 식각하여 제2 게이트 절연막 및 워드 라인을 형성하는 제8 단계와; 상기 워드 라인의 측벽에 제2 스페이서를 형성하는 제9 단계와; 상기 워드 라인 및 제2 스페이서와 오버랩되는, 상기 제1 접합영역과 동일 도전형의 제2 접합영역을 기판에 형성하는 제10 단계와; 상기 제2 접합영역을 노출시키는 콘택홀을 구비한 중간절연막을 기판 전면에서 형성하는 제11 단계와; 상기 콘택홀을 통해 상기 제2 접합영역과 콘택되는 제2 도전성 라인을 형성하는 제12 단계를 구비한다. 상기 제3 단계에서는 상기 제3 절연막을 제2 절연막이 노출될 때까지 CMP 공정을 통해 소정 두께만큼 제거하는 것이 바람직하고, 상기 제5 단계에서는 상기 제2 절연막 및 상기 제1 도전막의 일부가 노출될 때까지 식각공정을 통해 소정 두께만큼 제거하는 것이 바람직하다. 상기 제3 절연막은 상기 CMP공정의 버퍼층으로 상기 제1 도전막의 단차를 극복하기 위해 형성하는 것이 바람직하다. 상기 제3 절연막은 HDP막, TEOS막,

USG막 중 어느 하나인 것을 특징으로 하는 것이 바람직하다. 상기 제2 절연막은 상기 제3 단계에서 수행되는 CMP공정의 정지막이고, 상기 제5 단계에서 수행되는 식각공정으로부터 그 하부의 상기 제1 도전막을 보호하는 막인 것이 바람직하다. 상기 제1 접합영역은 소스접합영역이고, 상기 제2 접합영역은 드레인 접합영역이고, 상기 제1 도전성라인은 폴리실리콘 막으로 된 소스라인이고, 상기 제2 도전성라인은 금속라인인 것이 바람직하다. 상기 제4 절연막은 상기 제6 단계에서 제2 절연막을 마스크로 한 산화공정을 통해 선택적으로 형성된 산화막인 것이 바람직하고, 상기 워드라인은 그의 폭이 균일하고 상기 제2 스페이서와 접하는 측벽이 수직한 구조를 갖는 것이 바람직하다.

<11> 또, 본 발명은 서로 이격된 플로팅 게이트들과; 상기 플로팅 게이트들을 각각 감싸도록 형성된 제1 스페이서들과; 상기 제1 스페이서들이 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 상기 제1 접합영역과 반대 도전형의 반도체 기판을 제공하는 제1 단계와; 상기 기판 전면에서 제1 절연막과 제1 도전막과 제2 절연막 그리고 제3 절연막을 순차적으로 형성하는 제2 단계와; 상기 제2 절연막이 노출되도록 상기 제3 절연막을 소정 두께만큼 평탄화하는 제3 단계와; 상기 노출된 제2 절연막을 제거하고, 남겨진 제3 절연막을 제거하는 제4 단계와; 상기 제1 도전성라인 및 제1 도전막의 일부분이 노출되도록 상기 제1 도전막 및 제2 절연막을 소정두께만큼 평탄화하는 제5 단계와; 상기 노출된 제1 도전성 라인 및 제1 도전막의 일부분에 제4 절연막을 형성하는 제6 단계와; 상기 남아있는

제2 절연막을 제거하고, 그 하부의 제1 도전막을 노출시키는 제7 단계와; 상기 제4 절연막을 마스크로 하여 상기 제2 절연막의 제거에 따라 노출된 상기 제1 절연막 및 제1 도전막을 식각하여 제2 게이트 절연막 및 워드라인을 형성하는 제8 단계와; 상기 워드라인의 측벽에 제2 스페이서를 형성하는 제9 단계와; 상기 워드라인 및 제2 스페이서와 오버랩되는, 상기 제1 접합영역과 동일 도전형의 제2 접합영역을 기판에 형성하는 제10 단계와; 상기 제2 접합영역을 노출시키는 콘택홀을 구비한 층간절연막을 기판 전면에서 형성하는 제11 단계와; 상기 콘택홀을 통해 상기 제2 접합영역과 콘택되는 제2 도전성 라인을 형성하는 제12 단계로 이루어지는 것이 바람직하다.

<12> 또, 본 발명은 플로팅 게이트와; 상기 플로팅 게이트를 감싸도록 형성된 제1 스페이서와; 제1 스페이서와 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성 라인을 구비한, 반도체기판에 제1 도전막을 형성하고, 이후에 수행될 상기 제1 도전막의 평탄화공정을 버퍼링시키는 제1 절연막과 제2 절연막을 순차 형성하여 상기 제1 도전성 라인이 노출될 때까지 제2 절연막, 제1 절연막 그리고 제1 도전막을 각각 평탄화하는 단계와; 상기 제1 도전막을 식각하여 워드라인을 형성하는 단계를 제공한다.

<13> 상기 제3 단계에서는 상기 제3 절연막을 제2 절연막이 노출될 때까지 CMP 공정을 통해 소정두께만큼 제거하는 것이 바람직하다. 상기 제3 절연막은 상기 제1 도전막의 단차를 극복하여 상기 CMP공정의 양호한 마진을 얻기 위해 형성하는 것이

바람직하다. 상기 제3 절연막은 HDP막, TEOS막, USG막 중 어느 하나인 것이 바람직하다. 상기 제2 절연막은 상기 제3 단계에서 수행되는 CMP공정의 정지막인 것이고, 상기 제5 단계에서 수행되는 식각공정으로부터 그 하부의 상기 제1 도전막을 보호하는 막인 것이 바람직하다. 상기 제1 접합영역은 소스 접합영역이고, 상기 제2 접합영역은 드레인 접합영역인 것이 바람직하다. 상기 제1 도전성라인은 폴리실리콘 막으로 된 소스라인이고, 상기 제2 도전성라인은 금속라인으로 이루어지는 것이 바람직하다. 상기 제4 절연막은 상기 제6 단계에서 제2 절연막을 마스크로 한 산화공정을 통해 선택적으로 형성된 산화막인 것이 바람직하다. 상기 워드라인은 그의 폭이 균일하고 상기 제2 스페이서와 접하는 측벽이 수직한 구조를 갖는 것이 바람직하다.

<14> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 일 실시 예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

<15> 도 1은 통상적인 스플릿 게이트형 플래쉬 메모리소자의 평면구조이고, 도 2a 내지 도 2q 및 도 3a 내지 도 3q는 본 발명의 일 실시 예에 따른 스플릿 게이트형 플래쉬 메모리소자의 제조공정도를 도시한 것이다.

<16> 본 발명의 일 실시 예에 따른 스플릿 게이트형 플래쉬 메모리소자의 평면 구조는 도 1에 도시된 레이아웃과 동일하고, 도 2a 내지 도 2q 는 도 1의 1A-1A' 선의 단면구조에 따른 제조공정도를 도시한 것이고, 도 2a 내지 도 2q 는 도 1B-1B'선의 단면구조에 따른 제조공정도를 도시한 것이다.

<17> 도 2a 내지 도 2q 그리고 도 3a 내지 도 3q를 참조하여 본 발명에 따른 스플릿 게이트형 플래쉬 메모리소자의 제조방법을 설명하면 다음과 같다.

<18> 도 2a 및 도 3a를 참조하면, 반도체 기판(200)의 액티브영역 상에 제1 산화막(201)을 형성하고, 그 위에 폴리실리콘막으로 된 제1 도전막(202)을 증착하며, 필드영역에 필드산화막(203)을 형성한다. 상기 필드산화막(203)은 LOCOS(Local Oxidation of Silicon) 공정, PBL(Poly-Buffered LOCOS) 공정 또는 STI(shallow Trench isolation) 공정을 진행하여 필드 산화막(203)을 형성한다. 여기서는 STI 공정을 진행하여 트렌치형 필드산화막(203)을 형성하는 것을 예시하였다. STI 공정에 의한 필드산화막의 형성방법을 설명하면, 먼저 기판전면에 상기 제1 산화막(201)과 제1 도전막(202)을 형성하고 그 위에 제1 질화막(미도시)을 증착한다. 상기 제1 질화막, 제1 도전막(202) 및 제1 산화막(201)을 통상적인 사진식각공정을 통해 패터닝하여 기판 중 필드영역에 해당하는 부분을 노출시키고, 이어서 노출된 기판을 식각하여 트렌치(미도시)를 형성한다. 다음, 트렌치를 포함한 제1 질화막상에 산화막을 증착하고 상기 제1 질화막이 노출될 때까지 CMP 공정을 진행하여 트렌치 내에 산화막을 매립하여 STI 형 필드 산화막(203)을 형성한다, 이어서, 상기 제1 도전막(202)상에 남아있는 제1 질화막을 제거한다. STI 형 필드 산화막(203)을 형성한 다음 기판 상에 제2 질화막(204)을 증착한 다음 통상적인 사진식각공정을 수행하여 제1 도전막(202)의 일부가 노출되도록 패터닝한다.

<19> 도 2b 및 도 3b를 참조하면, 제2 질화막(204) 및 제1 도전막(202)상에 제2 산화막(205)을 증착한다. 도면상에는 도시되지 않았으나, 상기 제2 산화막(205)을 증착하기 전에, 상기 제2 질화막(204)을 마스크로 하여 상기 제1 도전막(202)을 일정두께만큼 식각하거나, 또는 산화공정을 수행하여 상기 노출된 제1 도전막(202)을 일정두께만큼 산화시킨 다음 제2 산화막(205)을 증착한다. 따라서, 제1 도전막(202)중 노출된 부분의 두께가 상대적으로 노출되지 않은 부분보다 얇게 되도록 한다.

- <20> 도 2c 및 도 3c를 참조하면, 상기 제2 산화막(205)을 에치백하여 제2 질화막(204)의 측벽에 산화막 스페이서(206)를 형성한다. 이어서, 상기 스페이서(206)를 마스크로 하여 노출된 제1 도전막(202)과 제1 산화막(201)을 식각하여 기판을 노출시킨다.
- <21> 상기 스페이서(206) 및 제2 질화막(204)을 마스크로 하여 상기 기판의 노출된 부분으로 소정 도전형의 불순물, 즉 기판과 반대도전형의 불순물을 이온주입하여 소오스 접합영역(207)을 형성한다.
- <22> 이때, 도면상에는 도시되지 않았으나, 상기 스페이서(206)를 마스크로 하여 상기 제1 도전막(202) 및 제1 산화막(201)의 식각시 상기 제1 도전막(202)의 측면이 노출되어 있는데, 후속공정에서 형성되는 소오스 라인과의 쇼트를 방지하기 위하여 기판전면에 CVD(chemical vapor deposition) 산화막을 형성한 다음 에치백하여 최종적으로 도 2c 및 도 3c와 같이 상기 제1 도전막을 감싸는 구조의 스페이서(206)가 형성되게 된다. 상기 CVD 산화막 대신에 열산화공정에 의한 열산화막을 형성할 수도 있다.
- <23> 도 2d 및 도 3d를 참조하면, 기판 전면에 폴리실리콘막으로된 제2 도전막을 증착한 다음 에치백하여 상기 소오스 접합영역(207)과 직접 접촉되는 소오스 라인(209)을 형성한다. 이때, 상기 소오스 라인(209)은 상기 스페이서(206)에 의해 제1도전막(202)과 절연되어진다.
- <24> 도 2e 및 도 3e를 참조하면, 인산을 이용하여 상기 제2 질화막(204)을 선택적으로 제거한 다음 상기 스페이서(206)를 셀프 마스크로 하여 제1 도전막(202)과 제1 산화막(201)을 식각한다. 이로써, 제1 게이트 절연막(210)과 플로팅 게이트(211)가 형성되어진다.

<25> 도 2f 및 도 3f 내지 도 2m 및 도 3m은 워드라인을 형성하는 공정을 도시한 것이다. 먼저, 기판전면에 제3 산화막(213)과 폴리실리콘막으로 된 제3 도전막(214)을 형성하고, 상기 제3 도전막(214) 상에 제3 질화막(215)과 제4 산화막(216)을 순차 형성한다. 이 때, 제3 산화막(213)은 CVD 법에 의해 형성된 CVD 산화막 또는 열산화막에 의해 형성된 열산화막이다. 상기 셀이 형성된 액티브영역과 그렇지 않은 필드영역의 서로 다른 단차로 인해 그 상부에 형성된 제3 도전막(214)은 단차를 형성하게 되는 데, 이를 극복하고자 하여 제4 산화막(216)을 형성한다. 제3 도전막의 단차 극복으로 인해 이후에 수행되는 CMP공정의 마진이 양호해질 수 있다. 제4 산화막(216)은 HDP-CVD(High density plasma-CVD)막, TEOS(TetraEthylOrthoSilicate)막, USG(Undoped Silicate Glass)막으로 형성한다.

<26> 이어서, CMP(Chemical Mechanical Polishing)공정을 진행하여 상기 제3 질화막(215a)이 노출될 때까지 제4 산화막(216)을 식각하여 평탄화시킨다. 이때, 제3 질화막(215a)은 CMP 공정의 진행 정지막(stopper layer)이다. 이 노출된 제3 질화막(215a)을 습식식각으로 제거하여 그 하부의 제3 도전막(214a)을 노출시킨다. 그리고, 잔존하는 제4 산화막(216)을 식각을 통해 제거한다. 이어서, 식각공정을 진행하여 상기 소스라인(209)이 노출될 때까지 상기 제3 도전막(214)을 식각한다. 이 식각공정 진행시, 제3 질화막(215b)은 그 하부의 제3 도전막(214b)이 식각되지 않도록 하는 보호막이다.

<27> 식각공정 후 남아 있는 제3 질화막(215b)을 산화마스크로 하여 산화공정을 진행하여 상기 소스라인(209)의 노출된 부분과 제3 도전막(214)의 노출된 부분을 산화시켜 제5 산화막(217)을 선택적으로 형성한다.

- <28> 다음, 상기 산화공정시 산화마스크로서 작용한 제3 질화막(215b)을 습식식각법으로 제거하여 그 하부의 제3 도전막(214b)을 노출시킨다. 상기 제5 산화막(217)을 마스크로 하여 상기 제3 도전막(214b) 및 제3 산화막(213)을 식각하여 제2 게이트 절연막(218) 및 워드라인(219)을 형성한다. 그리고, 제5 산화막(217)은 습식식각법으로 식각하여 제거한다.
- <29> 본 발명의 일 실시 예에 따르면, 종래의 스페이서 형태로 워드라인을 형성하는 대신 제5 산화막(217)을 마스크로 하여 폴리실리콘막의 제3 도전막(214)을 식각하여 워드라인을 형성함으로써 완만한 측벽대신 수직한 측벽구조 및 그의 폭이 균일한 워드라인(219)이 얻어진다.
- <30> 제4 산화막을 형성하여 액티브영역과 필드영역의 서로 다른 단차를 완만하게 함으로써, 이후 CMP 공정의 진행시 프로파일의 마진이 양호해질 수 있다.
- <31> 또, 제3 질화막을 형성하여 상기 제4 산화막의 CMP 공정 진행시 정지막이 되고, 제3 도전막의 식각공정 진행시 제3 도전막의 보호막이 됨으로써, 소스라인 및 워드라인의 프로파일 마진이 양호해질 수 있도록 한다.
- <32> 도 2n 및 도 3n 내지 도 2o 및 도 3o는 워드라인의 측벽에 질화막 스페이서 및 드레인 접합영역을 형성하는 공정이다. 먼저, 기판전면에 제6 산화막(220)과 제4 질화막(221)을 순차 증착한 다음 에치백하여 워드라인(219)의 측벽에 질화막 스페이서(223)를 형성한다,

- <33> 이어서, 이온주입용 마스크(도면상에는 도시되지 않음)를 이용하여 노출된 기판으로 상기 소오스 접합영역과 동일한 도전형을 갖는 불순물을 이온주입하여 드레인 접합영역(224)을 형성한다.
- <34> 도 2p 및 도 2q 그리고 도 3p 및 도 3q는 금속라인을 형성하는 공정이다. 먼저, 실리콘사이드공정을 수행하여 노출된 소오스 라인(209), 드레인 접합영역(224) 그리고 워드라인(218)에 실리콘사이드막(226)을 형성한다.
- <35> 기판전면에 층간절연막(227)을 증착한 다음 상기 드레인 접합영역(224)이 노출되도록 상기 층간절연막(227)을 식각하여 콘택홀(228)을 형성한다. 이어서, 금속막을 증착한 다음 패터닝하여 상기 콘택홀(228)을 통해 상기 드레인 접합영역(224)과 콘택되는 금속라인(229)을 형성하면 본 발명의 일 실시 예에 따른 스플릿 게이트형 플래쉬 메모리소자가 제조된다.
- <36> 본 발명의 일 실시 예에 따르면, 제4 산화막을 형성하여 필드영역과 액티브영역의 서로 다른 단차로 인해 형성된 제1 도전막의 단차를 완만하게 함으로써, 이후 CMP 공정의 진행시 버퍼층이 되어 프로파일의 마진이 양호해질 수 있도록 한다.
- <37> 또, 제3 질화막을 형성하여, 제4 산화막의 CMP 공정 진행시 정지막역할을 수행하는 버퍼층이 되고 제3 도전막의 식각공정 진행시 제3 도전막의 보호막역할을 수행하는 버퍼층이 됨으로써, 소스라인 및 워드라인의 프로파일 마진이 양호해질 수 있도록 한다.
- <38> 따라서, 그의 폭이 균일하고 수직한 측벽의 워드라인(219)이 얻어지므로, 종래의 스페이서 공정에 의해 형성된 워드라인과는 달리 워드라인의 면적감소가 방지되어 워드라인 자체의 저항감소를 방지할 수 있다.

<39> 또한, 워드라인(219)의 측벽이 수직한 구조를 얻음으로써, 후속공정에서 형성되는 질화막(223)도 상기 워드라인(218)과 후속공정에서 형성되는 드레인 접합영역을 충분히 절연시키도록 형성되어져 워드라인(218)과 드레인 접합영역(224)과의 쇼트를 방지할 수 있다.

<40> 게다가, 질화막 스페이서 형성시 질화막 잔유물이 워드라인 상에 존재하지 않으므로, 실리사이드(226)의 면적도 충분히 얻어지므로 워드라인의 저항을 감소시킬 수 있다.

【발명의 효과】

<41> 상기한 바와 같은 본 발명의 스플릿 게이트형 플래쉬 메모리소자 제조방법은 워드라인의 측벽을 수직하게 형성하고 그의 폭을 균일하게 형성하여 줌으로써 워드라인의 면적감소에 따른 저항감소를 방지할 수 있다. 또한, 후속의 공정에서 형성되는 질화막 스페이서가 워드라인의 측벽에만 형성되므로, 워드라인 상에 질화막이 잔존하게 되는 것을 방지할 수 있다. 이에 따라 워드라인의 저항증가를 방지하고, 질화막 스페이서에 의해 드레인 접합영역과 워드라인간의 쇼트를 방지할 수 있는 이점이 있다.

<42> 상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

플로팅 게이트와; 상기 플로팅 게이트를 감싸도록 형성된 제1 스페이서와; 제1 스페이서와 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 상기 제1 접합영역과 반대 도전형의 반도체 기판을 제공하는 제1 단계와;

상기 기판 전면에 제1 절연막과 제1 도전막과 제2 절연막 그리고 제3 절연막을 순차적으로 형성하는 제2 단계와;

상기 제2 절연막이 노출되도록 상기 제3 절연막을 소정 두께만큼 평탄화하는 제3 단계와;

상기 노출된 제2 절연막을 제거하고, 남겨진 제3 절연막을 제거하는 제4 단계와;

상기 제1 도전성라인 및 제1 도전막의 일부분이 노출되도록 상기 제1 도전막 및 제2 절연막을 소정두께만큼 평탄화하는 제5 단계와;

상기 노출된 제1 도전성 라인 및 제1 도전막의 일부분에 제4 절연막을 형성하는 제6 단계와;

상기 남아있는 제2 절연막을 제거하고, 그 하부의 제1 도전막을 노출시키는 제7 단계와;

상기 제4 절연막을 마스크로 하여 상기 제2 절연막의 제거에 따라 노출된 상기 제1 절연막 및 제1 도전막을 식각하여 제2 게이트 절연막 및 워드라인을 형성하는 제8 단계와;

상기 워드라인의 측벽에 제2 스페이서를 형성하는 제9 단계와;

상기 워드라인 및 제2 스페이서와 오버랩되는, 상기 제1 접합영역과 동일 도전형의 제2 접합영역을 기판에 형성하는 제10 단계와;

상기 제2 접합영역을 노출시키는 콘택홀을 구비한 층간절연막을 기판 전면에 형성하는 제11 단계와;

상기 콘택홀을 통해 상기 제2 접합영역과 콘택되는 제2 도전성 라인을 형성하는 제12 단계를 구비하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 2】

제1 항에 있어서, 상기 제3 단계에서는

상기 제3 절연막을 제2 절연막이 노출될 때까지 CMP 공정을 통해 소정두께만큼 제거하는 것을 특징으로 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 3】

제1 항에 있어서, 상기 제5 단계에서는

상기 제2 절연막 및 상기 제1 도전막의 일부가 노출될 때까지 식각공정을 통해 소정두께만큼 제거하는 것을 특징으로 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 4】

제1 항에 있어서, 상기 제3 절연막은

상기 CMP공정의 버퍼층으로 상기 제1 도전막의 단차를 극복하기 위해 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 5】

제1 항에 있어서, 상기 제3 절연막은

HDP막, TEOS막, USG막 중 어느 하나인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 6】

제1 항에 있어서, 상기 제2 절연막은

상기 제3 단계에서 수행되는 CMP공정의 정지막이고, 상기 제5 단계에서 수행되는 식각공정으로부터 그 하부의 상기 제1 도전막을 보호하는 막인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 7】

제1 항에 있어서, 상기 제1 접합영역은

소스접합영역인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 8】

제1 항에 있어서, 상기 제2 접합영역은

드레인 접합영역인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 9】

제1 항에 있어서, 상기 제1 도전성라인은

폴리실리콘 막으로 된 소스라인인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 10】

제1 항에 있어서, 상기 제2 도전성라인은

금속라인으로 이루어지는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 11】

제1 항에 있어서, 상기 제4 절연막은

상기 제6 단계에서 제2 절연막을 마스크로 한 산화공정을 통해 선택적으로 형성된 산화막인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 12】

제1 항에 있어서, 상기 워드라인은

그의 폭이 균일하고 상기 제2 스페이서와 접하는 측벽이 수직한 구조를 갖는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【청구항 13】

서로 이격된 플로팅 게이트들과; 상기 플로팅 게이트들을 각각 감싸도록 형성된 제1 스페이서들과; 상기 제1 스페이서들이 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 상기 제1 접합영역과 반대 도전형의 반도체 기판을 제공하는 제1 단계와;

상기 기판 전면에 제1 절연막과 제1 도전막과 제2 절연막 그리고 제3 절연막을 순차적으로 형성하는 제2 단계와;

상기 제2 절연막이 노출되도록 상기 제3 절연막을 소정 두께만큼 평탄화하는 제3 단계와;

상기 노출된 제2 절연막을 제거하고, 남겨진 제3 절연막을 제거하는 제4 단계와;

상기 제1 도전성라인 및 제1 도전막의 일부분이 노출되도록 상기 제1 도전막 및 제2 절연막을 소정두께만큼 평탄화하는 제5 단계와;

상기 노출된 제1 도전성 라인 및 제1 도전막의 일부분에 제4 절연막을 형성하는 제6 단계와;

상기 남아있는 제2 절연막을 제거하고, 그 하부의 제1 도전막을 노출시키는 제7 단계와;

상기 제4 절연막을 마스크로 하여 상기 제2 절연막의 제거에 따라 노출된 상기 제1 절연막 및 제1 도전막을 식각하여 제2 게이트 절연막 및 워드라인을 형성하는 제8 단계와;

상기 워드라인의 측벽에 제2 스페이서를 형성하는 제9 단계와;

상기 워드라인 및 제2 스페이서와 오버랩되는, 상기 제1 접합영역과 동일 도전형의 제2 접합영역을 기판에 형성하는 제10 단계와;

상기 제2 접합영역을 노출시키는 콘택홀을 구비한 층간절연막을 기판 전면에 형성하는 제11 단계와;

상기 콘택홀을 통해 상기 제2 접합영역과 콘택되는 제2 도전성 라인을 형성하는 제12단계를 구비하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

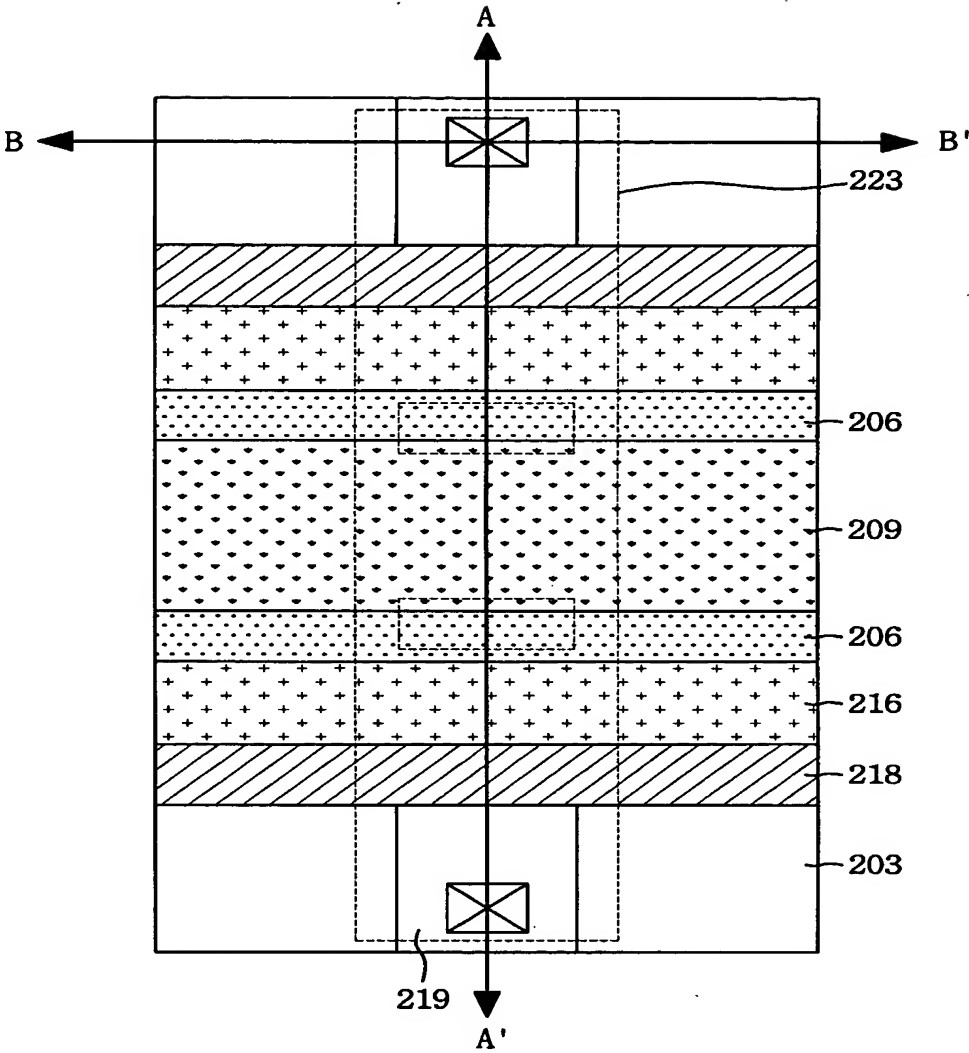
【청구항 14】

플로팅 게이트와; 상기 플로팅 게이트를 감싸도록 형성된 제1 스페이서와; 제1 스페이서와 오버랩되어 기판에 형성된, 상기 소정 도전형의 제1 접합영역과; 상기 제1 스페이서와 접하여, 상기 제1 접합영역 상에 형성된 제1 도전성라인;을 구비한, 반도체기판에 제1 도전막을 형성하고, 이후에 수행될 상기 제1 도전막의 평탄화공정을 버퍼링시키는 제1 절연막과 제2 절연막을 순차 형성하여 상기 제1 도전성라인이 노출될 때까지 제2 절연막, 제1 절연막 그리고 제1 도전막을 각각 평탄화하는 단계와;

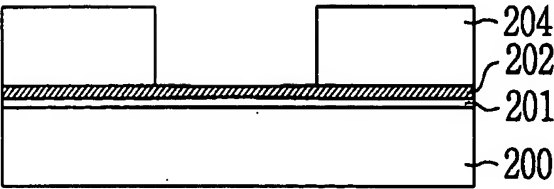
상기 제1 도전막을 식각하여 워드라인을 형성하고, 상기 워드라인과 오버랩되는 제2 접합영역을 형성하고, 상기 제2 접합영역을 노출시키는 콘택홀을 형성하고, 상기 제2 접합영역과 콘택되는 제2 도전성 라인을 형성하는 단계로 이루어진 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리소자의 제조방법.

【도면】

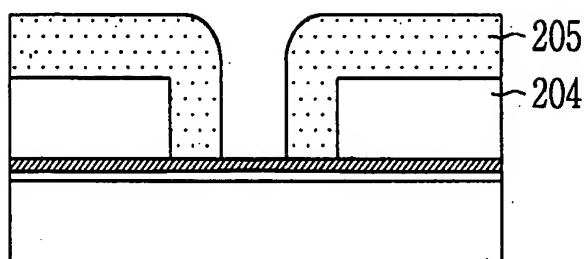
【도 1】



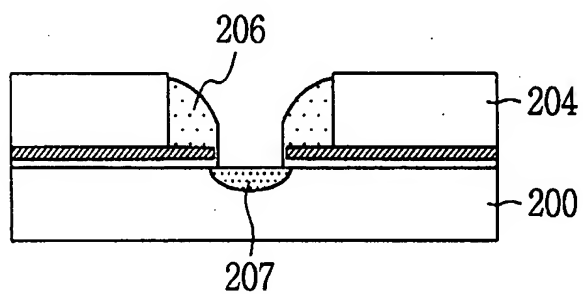
【도 2a】



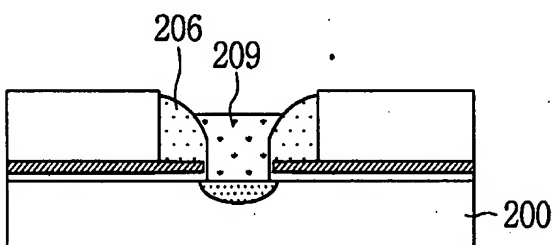
【도 2b】



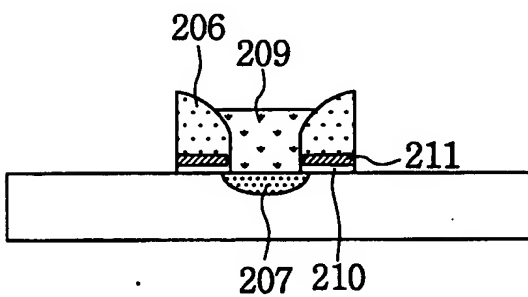
【도 2c】



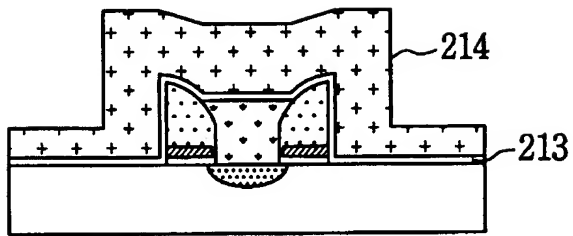
【도 2d】



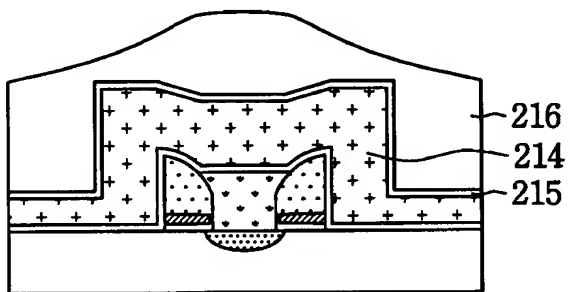
【도 2e】



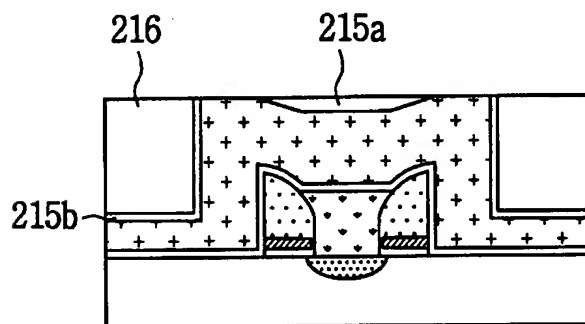
【도 2f】



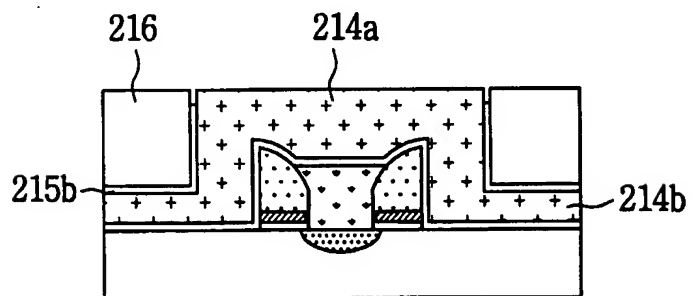
【도 2g】



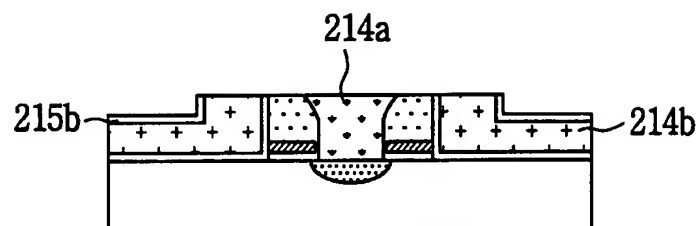
【도 2h】



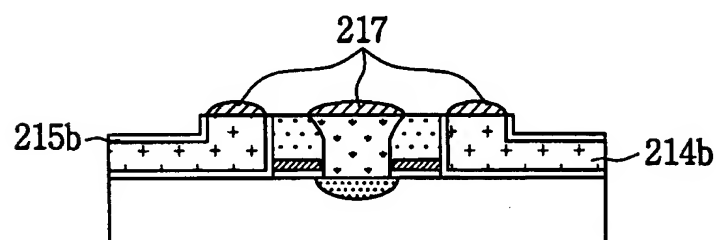
【도 2i】



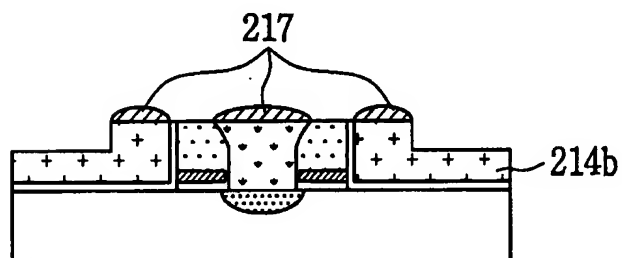
【도 2j】



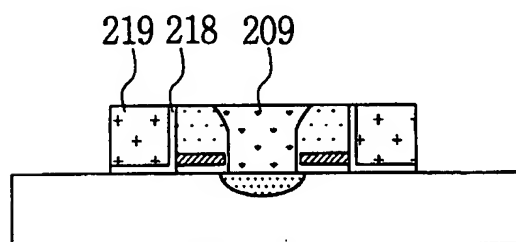
【도 2k】



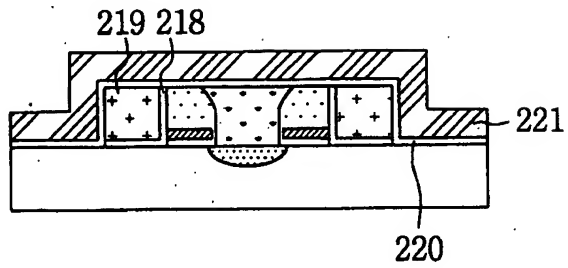
【도 2l】



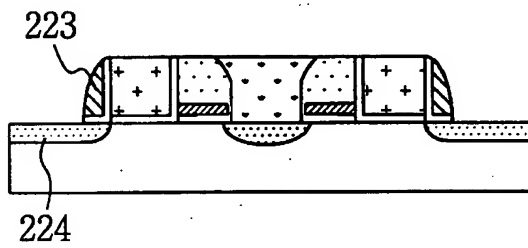
【도 2m】



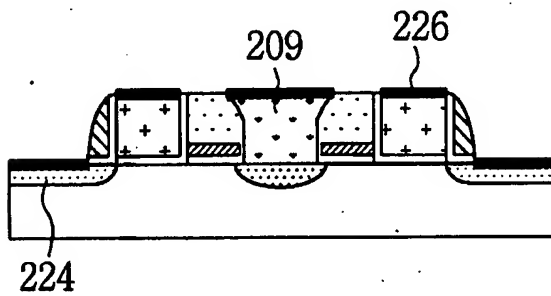
【도 2n】



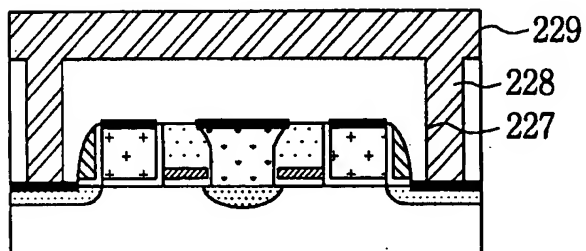
【도 2o】



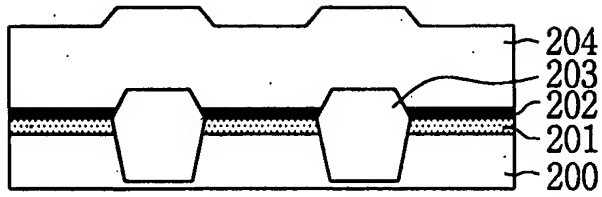
【도 2p】



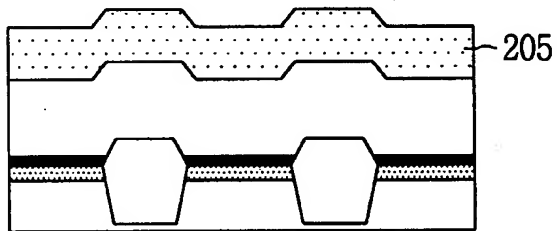
【도 2q】



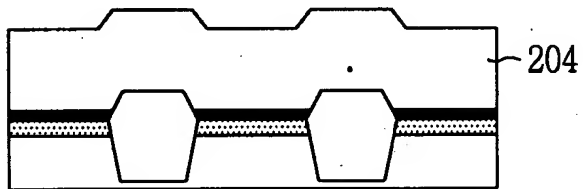
【도 3a】



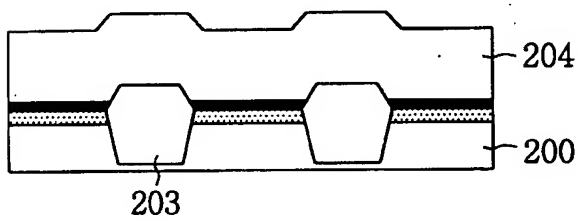
【도 3b】



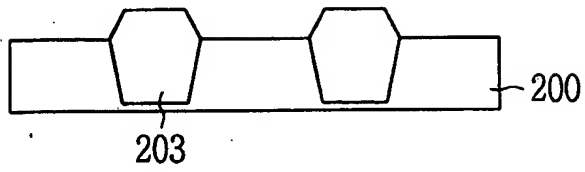
【도 3c】



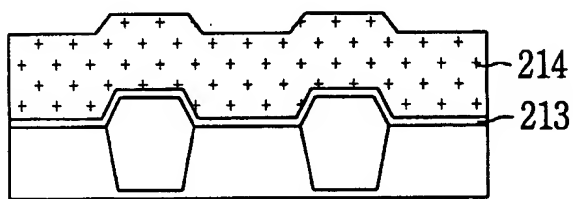
【도 3d】



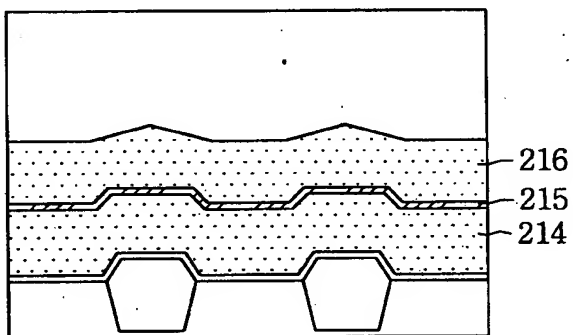
【도 3e】



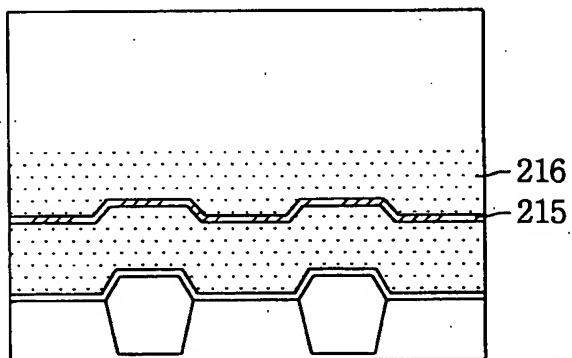
【도 3f】



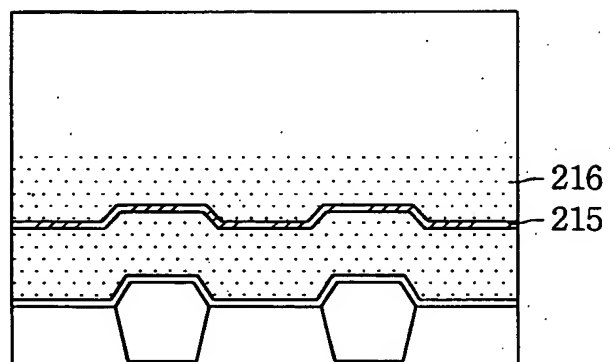
【도 3g】



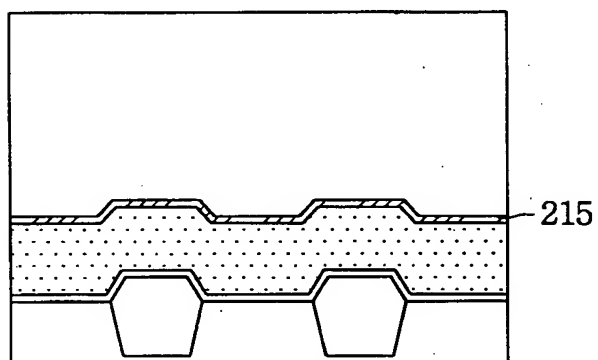
【도 3h】



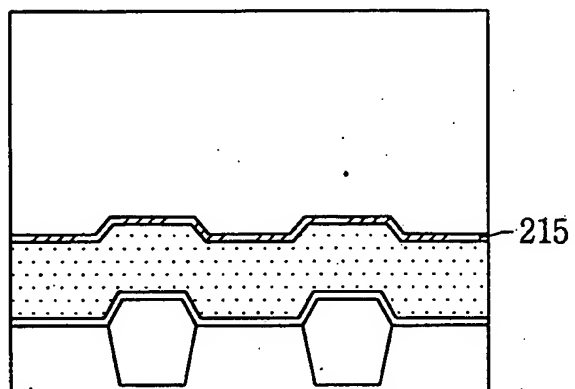
【도 3i】



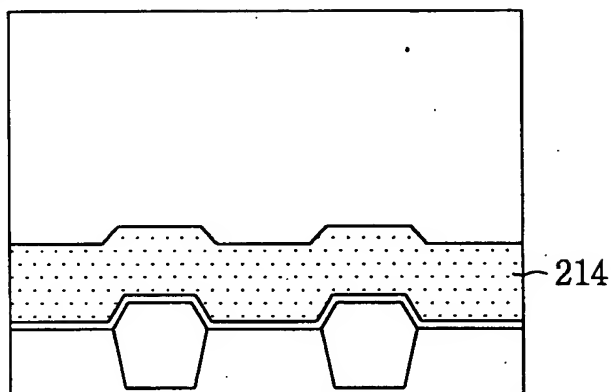
【도 3j】



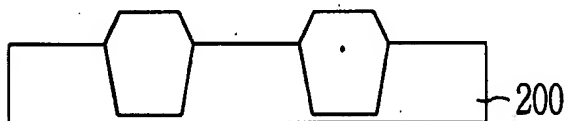
【도 3k】



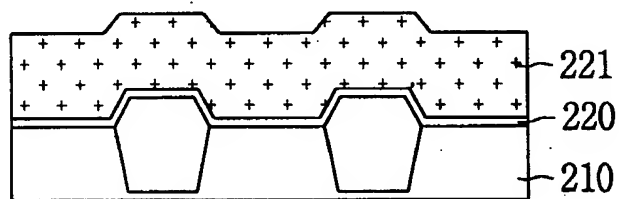
【도 3l】



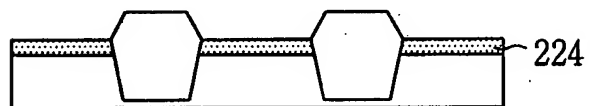
【도 3m】



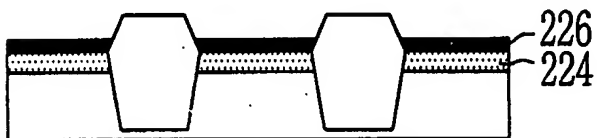
【도 3n】



【도 3o】



【도 3p】



【도 3q】

